

External driving circuit for bridge type synchronous rectification

Publication number: JP2003511004T

Publication date: 2003-03-18

Inventor:

Applicant:

Classification:

- **International:** H02M7/21; H02M3/28; H02M3/335; H02M7/21;
H02M3/24; (IPC1-7): H02M3/28; H02M7/21

- **European:** H02M1/34; H02M3/335C4; H02M3/335S2S

Application number: JP20010527424T 20000907

Priority number(s): US19990405372 19990924; WO2000US24468
20000907

Also published as:



WO0124350 (A1)



EP1226649 (A1)



US6111769 (A1)



EP1226649 (A0)



CA2385965 (A1)

Report a data error here

Abstract not available for JP2003511004T

Abstract of corresponding document: **US6111769**

An external driving circuit (21) for a bridge type synchronous rectifier circuit (20) having a first and second first synchronous rectifier (Q3,Q4), a primary driving circuit (14), and a pair of totem pole drivers (16,18). The timing signal for the first and second synchronous rectifiers (Q3,Q4) is derived from the external driving circuit (21). The external driving circuit (21) includes a first and second switch drivers (22,24). The external driving circuit (21) is interfaced with the synchronous rectifier circuit (20) by connecting first and second switch drivers (22,24) to the totem pole drivers (16,18). The first and second switch drivers (22,24) provides storage for circuit current which is fully discharged at the appropriate time to facilitate turning on and off the synchronous rectifiers (Q3,Q4).

Data supplied from the **esp@cenet** database - Worldwide

Family list7 family members for: **WO0124350**

Derived from 7 applications

[Back to WO0124350](#)**1 External driving circuit for bridge type synchronous rectification****Inventor:** ZHANG JUN; HART WILLIAM**Applicant:** ERICSSON INC**EC:** H02M1/34; H02M3/335C4; (+1)**IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)**Publication info:** AU7118300 A - 2001-04-30**2 EXTERNAL DRIVING CIRCUIT FOR BRIDGE TYPE SYNCHRONOUS
RECTIFICATION****Inventor:** HART WILLIAM (US); ZHANG JUN (US)**Applicant:** ERICSSON INC (US)**EC:** H02M1/34; H02M3/335C4; (+1)**IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)**Publication info:** CA2385965 A1 - 2001-04-05**3 External driving circuit for bridge type synchronous rectification****Inventor:** ZHANG J (US); HART W (US)**Applicant:** ERICSSON INC (US)**EC:** H02M1/34; H02M3/335C4; (+1)**IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)**Publication info:** CN1391720 A - 2003-01-15**4 EXTERNAL DRIVING CIRCUIT FOR BRIDGE TYPE SYNCHRONOUS
RECTIFICATION****Inventor:** ZHANG JUN (US); HART WILLIAM (US)**Applicant:** ERICSSON INC (US)**EC:** H02M1/34; H02M3/335C4; (+1)**IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)**Publication info:** EP1226649 A1 - 2002-07-31**5 External driving circuit for bridge type synchronous rectification****Inventor:****Applicant:****EC:** H02M1/34; H02M3/335C4; (+1)**IPC:** H02M7/21; H02M3/28; H02M3/335 (+4)**Publication info:** JP2003511004T T - 2003-03-18**6 External driving circuit for bridge type synchronous rectification****Inventor:** ZHANG JUN (US); HART WILLIAM (US)**Applicant:** ERICSSON INC (US)**EC:** H02M1/34; H02M3/335C4; (+1)**IPC:** H02M7/21; H02M3/28; H02M3/335 (+5)**Publication info:** US6111769 A - 2000-08-29**7 EXTERNAL DRIVING CIRCUIT FOR BRIDGE TYPE SYNCHRONOUS
RECTIFICATION****Inventor:** ZHANG JUN; HART WILLIAM**Applicant:** ERICSSON INC (US)**EC:** H02M1/34; H02M3/335C4; (+1)**IPC:** H02M7/21; H02M3/28; H02M3/335 (+3)**Publication info:** WO0124350 A1 - 2001-04-05Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号
特表2003-511004
(P2003-511004A)

(43)公表日 平成15年3月18日(2003.3.18)

(51)Int.Cl.
H 02 M 3/28
7/21

識別記号

F I
H 02 M 3/28
7/21テ-マコード (参考)
F 5 H 0 0 6
A 5 H 7 3 0

審査請求 未請求 予備審査請求 有 (全 30 頁)

(21)出願番号 特願2001-527424(P2001-527424)
 (86) (22)出願日 平成12年9月7日(2000.9.7)
 (85)翻訳文提出日 平成14年3月25日(2002.3.25)
 (86)国際出願番号 PCT/US00/24468
 (87)国際公開番号 WO01/024350
 (87)国際公開日 平成13年4月5日(2001.4.5)
 (31)優先権主張番号 09/405,372
 (32)優先日 平成11年9月24日(1999.9.24)
 (33)優先権主張国 米国(US)

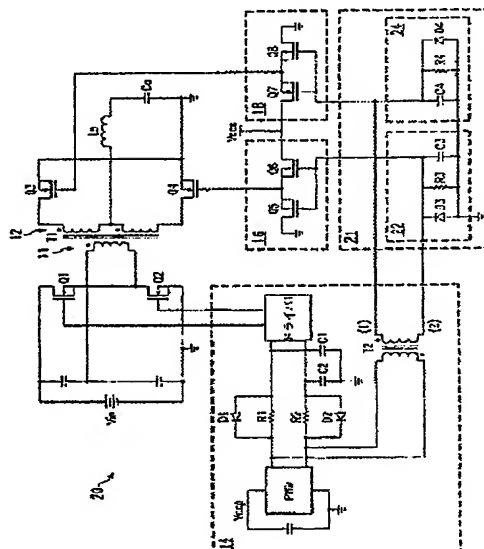
(71)出願人 エリクソン インコーポレイテッド
ERICSSON INC.
アメリカ合衆国 テキサス州 75024,
プラノ, エムエス イーブイダブリュー
2-シード, レガシー 6300
6300 Legacy, MS EVW 2
-C-2, Plano, TX 75024,
United States of America
(74)代理人 弁理士 大塚 康徳 (外3名)

最終頁に続く

(54)【発明の名称】 ブリッジタイプの同期整流用の外部駆動回路

(57)【要約】

第1及び第2の同期整流器(Q3、Q4)、1次駆動回路(14)、及びトーテムポール・ドライバの対(16、18)を有するブリッジタイプの同期整流回路(20)用の外部駆動回路(21) 第1及び第2の同期整流器(Q3、Q4)のタイミング信号は、外部駆動回路(21)から導出される。外部駆動回路(21)は、第1及び第2のスイッチ・ドライバ(22、24)を含んでいる。外部駆動回路(21)へのインターフェースは、第1及び第2のスイッチ・ドライバ(22、24)をトーテムポール・ドライバ(16、18)に接続することにより、同期整流回路(20)により行われる。第1及び第2のスイッチ・ドライバ(22、24)は、同期整流器(Q3、Q4)のオン、オフを容易にすぐ適切なときに充分に放電される、回路電流の蓄電を提供する。



【特許請求の範囲】

【請求項1】 1次巻線と第1及び第2の端子を有する2次巻線とを有する1次変圧器と、

前記2次巻線の前記第1及び第2の端子に動作可能に接続されている、第1及び第2の同期整流器と、

前記第1及び第2の同期整流器に電流の流れを提供すべく動作可能に接続されている、第1及び第2のトーテムポール・ドライバと、

タイミング回路、並びに1次巻線と第1及び第2の端子を含む2次巻線とを有する変圧器を含んでおり、前記タイミング回路が前記1次巻線に動作可能に接続されている、外部ドライバと、

前記外部ドライバの前記2次巻線の前記第1及び第2の端子にそれぞれ接続された第1及び第2のスイッチ・ドライバを含む、DCレベルシフタと、を備えており、

前記DCレベルシフタが前記第1及び第2のトーテムポール・ドライバに接続されており、それにより前記第1及び第2の同期整流器をオン、オフさせる前記タイミング信号が、前記DCレベルシフタから前記第1及び第2のトーテムポール・ドライバを通じて前記第1及び第2の同期整流器に転送されることを特徴とする、ブリッジタイプのDC-DCコンバータ用の同期整流回路。

【請求項2】 前記第1及び第2の同期整流器がMOSFETであることを特徴とする請求項1に記載の同期整流回路。

【請求項3】 前記第1のスイッチ・ドライバが、

第1及び第2の端部を有し、回路電流の蓄電をもたらす第1のコンデンサと、前記第1のコンデンサと並列に接続され、それにより前記第1のコンデンサの静電容量が充分に放電される第1の抵抗と、

前記ゲート駆動変圧器の前記2次巻線に接続された第1のダイオードと、を備えており、

それにより前記第1のスイッチ・ドライバが、前記第1の同期整流器をオン、オフさせる適切なタイミングを提供することを特徴とする請求項1に記載のDCレベルシフ回路。

巻線に動作可能に接続されたタイミング回路、並びに1次巻線と第1及び第2の端子を有する2次巻線とを有する変圧器を含む外部回路と、を有しており、

前記第1のトーテムポール・ドライバに接続された第1のスイッチ・ドライバと、

前記第2のトーテムポール・ドライバに接続された第2のスイッチ・ドライバと、を備えており、

それにより前記第1及び第2の同期整流器をオン、オフさせるタイミング信号が、前記第1及び第2のスイッチ・ドライバから前記トーテムポール・ドライバを通じて前記第1及び第2の同期整流器に転送されることを特徴とする駆動回路。

【請求項12】 第1及び第2の端部を有し、回路電流の蓄電をもたらす第1のコンデンサと、

前記第1のコンデンサと並列に接続され、それにより前記第1のコンデンサの静電容量が充分に放電される第1の抵抗と、

前記ゲート駆動変圧器の前記2次巻線に接続された第1のダイオードと、を備えており、

それにより前記第1のスイッチ・ドライバが、前記第1の同期整流器をオン、オフさせる適切なタイミングを提供することを特徴とする請求項11に記載の第1のスイッチ・ドライバ。

【請求項13】 第1及び第2の端部を有し、回路電流の蓄電をもたらす第2のコンデンサと、

前記第2のコンデンサと並列に接続され、それにより前記第2のコンデンサの静電容量が充分に放電される第2の抵抗と、

前記ゲート駆動変圧器の前記2次巻線に接続された第2のダイオードと、を備えており、

それにより前記第2のスイッチ・ドライバが、前記第2の同期整流器をオン、オフさせる適切なタイミングを提供することを特徴とする請求項11に記載の第2のスイッチ・ドライバ。

【請求項14】 ブリッジタイプの同期整流回路用の駆動回路であって、第

【請求項4】 前記第2のスイッチ・ドライバが、

第1及び第2の端部を有し、回路電流の蓄電をもたらす第2のコンデンサと、前記第2のコンデンサと並列に接続され、それにより前記第2のコンデンサの静電容量が充分に放電される第2の抵抗と、

前記ゲート駆動変圧器の前記2次巻線に接続された第2のダイオードと、を備えており、

それにより前記第2のスイッチ・ドライバが、前記第2の同期整流器をオン、オフさせる適切なタイミングを提供することを特徴とする請求項1に記載のDCレベルシフ回路。

【請求項5】 前記第1のトーテムポール・ドライバが、前記第1の同期整流器のオン、オフを切り換える第1及び第2のスイッチを備えていることを特徴とする請求項1に記載の同期整流回路。

【請求項6】 前記第2のトーテムポール・ドライバが、前記第2の同期整流器のオン、オフを切り換える第3及び第4のスイッチを備えていることを特徴とする請求項1に記載の同期整流回路。

【請求項7】 前記第1及び第2のスイッチがMOSFETであることを特徴とする請求項5に記載の第1のトーテムポール・ドライバ。

【請求項8】 前記第3及び第4のスイッチがMOSFETであることを特徴とする請求項6に記載の第2のトーテムポール・ドライバ。

【請求項9】 前記第2のコンデンサの前記第1の端部が前記外部回路の前記変圧器の前記第1の端子に接続され、それにより前記第2のコンデンサが放電されて前記第1及び第2の同期整流器がオンにされることを特徴とする請求項4に記載のDCレベルシフ回路。

【請求項10】 前記第1のコンデンサの前記第1の端部が前記外部回路の前記変圧器の前記第2の端子に接続され、それにより前記第1のコンデンサが充電されて前記第1及び第2の同期整流器がオンにされることを特徴とする請求項3に記載のDCレベルシフ回路。

【請求項11】 ブリッジタイプの同期整流回路用の駆動回路であって、第1及び第2の同期整流器と、第1及び第2のトーテムポール・ドライバと、1次

1及び第2の同期整流器と、1対のトーテムポール・ドライバと、1次巻線に動作可能に接続されたタイミング回路、並びに1次巻線と第1及び第2の端子を有する2次巻線とを有する変圧器を含む外部回路と、を有しており、

第1及び第2の端部を有し、回路電流の蓄電をもたらす第1のコンデンサと、前記第1のコンデンサと並列に接続され、それにより前記第1のコンデンサの静電容量が充分に放電される第1の抵抗と、前記変圧器の前記2次巻線に接続された第1のダイオードと、を有し、前記第1のトーテムポール・ドライバに接続された第1のスイッチ・ドライバと、

第1及び第2の端部を有し、回路電流の蓄電をもたらす第2のコンデンサと、前記第2のコンデンサと並列に接続され、それにより前記第2のコンデンサの静電容量が充分に放電される第2の抵抗と、前記変圧器の前記2次巻線に接続された第2のダイオードと、を有し、前記第2のトーテムポール・ドライバに接続された第2のスイッチ・ドライバと、を備えており、

それにより前記第1及び第2の同期整流器をオン、オフさせるタイミング信号が、前記第1及び第2のスイッチ・ドライバから前記トーテムポール・ドライバを通じて前記第1及び第2の同期整流器に転送されることを特徴とする駆動回路。

【請求項15】 1次スイッチの第1の対、及び前記1次スイッチの第1の対に接続され、それにより前記1次スイッチの第1の対がオン、オフされる1次スイッチの第2の対と、

1次及び2次巻線を有する1次変圧器と、

前記2次巻線の第1及び第2の端子に動作可能に接続された第1及び第2の同期整流器と、

前記第1及び第2の同期整流器に電流ドレインを提供すべく動作可能に接続された第1及び第2のトーテムポール・ドライバと、

タイミング回路、並びに1次巻線と第1及び第2の端子を含む2次巻線とを有する変圧器を含んでおり、前記タイミング回路が前記1次巻線に動作可能に接続されている、外部ドライバと、

前記外部ドライバの前記2次巻線の前記第1及び第2の端子にそれぞれ接続さ

れた第1及び第2のスイッチ・ドライバを含む、DCレベルシフタと、を備えており。

前記DCレベルシフタが前記第1及び第2のトームポール・ドライバに接続されており、それにより前記第1及び第2の同期整流器をオン、オフさせる前記タイミング信号が、前記DCレベルシフタから前記第1及び第2のトームポール・ドライバを通じて前記第1及び第2の同期整流器に転送されることを特徴とする、フルブリッジDC-DCコンバータ用の同期整流回路。

【請求項16】 前記1次スイッチの第1及び第2の対がMOSFETであることを特徴とする請求項15に記載の同期整流回路。

【請求項17】 前記1次変圧器の前記1次巻線が、

前記1次変圧器に接続された1次スイッチの対と、

センタータップと、

前記センタータップに接続された1次コンデンサと、を備えており、

それにより前記1次スイッチの対が、プッシュプル・トポロジーに適切なタイミングを導出することを特徴とする請求項1に記載の同期整流回路。

【請求項18】 前記1次スイッチの対がMOSFETであることを特徴とする請求項1に記載の同期整流回路。

【請求項19】 1次スイッチの対、第1及び第2の同期整流器、外部駆動回路、及び出力端子を有する、同期整流回路用の外部駆動回路を使用するDC-DCパワー・コンバータの変化するDC信号を整流する方法であって、

前記第1及び第2の同期整流器のオン、オフのタイミングを提供するために前記外部駆動回路に変化するDC信号を提供するステップと、

前記タイミング信号を前記外部駆動回路に転送するステップと、

前記外部駆動回路で前記信号を処理するステップと、

処理された信号を前記第1及び第2の同期整流器に提供するステップと、を備えることを特徴とする方法。

【請求項20】 前記外部駆動回路で前記信号を処理する前記ステップが、前記同期整流器をオン、オフさせるのに適切な電圧を提供するためにコンデンサを充電するステップ及び放電するステップを含むことを特徴とする請求項19に

【発明の詳細な説明】

【0001】

技術分野

本発明は、論理集積回路に關し、特に、ブリッジ・タイプの形態に適用可能な、簡略化されたDC-DCコンバータの同期整流のための外部駆動回路に関する。より具体的には、本発明はタイミング回路の複雑度を簡略化する同期整流の技術を提供する。

【0002】

発明の背景

論理集積回路は、動作周波数が急激に増加する中で使用電圧が低くなっている、また、システム全体のサイズの小型化が進んでいるため、電源装置をより小型なものにし、なおかつ、電源モジュールをより高効率にすることが望まれている。これらのタイプの用途には、効率を改善し出力密度を増加させるために同期整流が必要となっている。同期整流は、この10年で低電圧の半導体デバイスによって実現可能な技術に発展し、かなり一般的なものとなっている。

【0003】

同期整流は、回路中の整流素子であるショットキー・ダイオードの代替としてのMOSFET等の能動素子を用いる。近年、当業界では自己駆動(self-drive)型の同期法が、5V以下の電圧を出力するためのDC-DCモジュールにおける同期整流器を駆動するための好適な方法として広く用いられている。これらの自己駆動型の手法の多くは、一般に「D₁-D₂」(相補駆動)型構成とよばれる非常に特殊な構成で用いられるように設計される。これらの型のコンバータでは、最小限の修正で、同期整流器を直接駆動するために、2次巻線の電源変圧器信号が望ましい形状およびタイミングを有する。

【0004】

ハードスイッチのハーフブリッジ(HB)整流器、フルブリッジ(FB)整流器等の構成、および、プッシュプル構成において、変圧器電圧は、認識されうるO電圧区間に有し、これは自己駆動型の同期整流の実現には望ましくないものとなる。変圧器電圧を用いて同期整流器を駆動すると、フリーホイール(free wheeling)状態での影響のある部分に対する同期整流器に用いられるMOSFETのアンチパラレル寄生ダイオードの導通を生じる。これは、モジュールの効率に悪影響を与えるものであり、望ましくない。結果として、これらの回路構成による外部駆動回路を用いることが必要である。これらの実施においては、フリーホール状態の期間内で好ましいゲート駆動信号を供給するために、共振リセット間隔が調整される。したがって、外部駆動の実現は多くの場合、同期整流のための良い解決策となりうる。しかし、従来の外部駆動型の同期整流は、複雑度、コストの両方の面で問題がある。

記載の方法。

【請求項21】 前記コンデンサを放電する前記ステップが、前記コンデンサを抵抗で充分に放電することを含むことを特徴とする請求項20に記載の方法。

【請求項22】 前記外部駆動回路で前記信号を処理する前記ステップが、ダイオードを用いて電流経路を方向付けることを含むことを特徴とする請求項19に記載の方法。

従来より、ブリッジ型同期整流DC-DCコンバータの外部駆動回路は、センタータップ・ゲート・ドライバ、必要に応じてタイミング信号を反転させる集積回路を備え、同期整流器およびトームポール・ドライバを駆動する。このような駆動回路のセンタータップは外部端子を必要とし、これによって変圧器のサイズが大きくなり、コストも上昇する。ドライバに必要な集積回路は、同期整流回路を駆動するのに必要な部品が増えるため、コストが上昇するとともに、回路の信頼性も低下する。したがって、ブリッジ型同期整流のための外部駆動回路を物理的に小さくし、コストを抑えることが必要である。

【0005】

従来より、ブリッジ型同期整流DC-DCコンバータの外部駆動回路は、センタータップ・ゲート・ドライバ、必要に応じてタイミング信号を反転させる集積回路を備え、同期整流器およびトームポール・ドライバを駆動する。このような駆動回路のセンタータップは外部端子を必要とし、これによって変圧器のサイズが大きくなり、コストも上昇する。ドライバに必要な集積回路は、同期整流回路を駆動するのに必要な部品が増えるため、コストが上昇するとともに、回路の信頼性も低下する。したがって、ブリッジ型同期整流のための外部駆動回路を物理的に小さくし、コストを抑えることが必要である。

【0006】

発明の概要

本発明は、ブリッジタイプのトポロジーに容易に適応させることができ、特にプッシュプル、ハーフ・ブリッジ及びフルブリッジ変換に適応せられる、ブリッジタイプの同期整流用の外部駆動回路としての技術的利点を達成するものである。

【0007】

1つの実施形態において、DC-DCパワー・コンバータのための同期整流用外部駆動回路が開示されている。その駆動回路、とりわけDCレベルシフタは、第1及び第2の同期整流器と第1及び第2のトームポール・ドライバとを有する同期整流回路と共に動作可能に設計されている。駆動回路自体は、第1のトームポール・ドライバに接続された第1のスイッチ・ドライバと、第2のトーム

特表2003-511004

同期整流回路の従来技術を説明し、その後で、本発明の好適な実施形態およびその利点について説明する。

【0011】

なお、特に示さないかぎり、各図で共通する参照符号の構成要素は同一の構成要素であることを示す。

【0012】

図1は、従来の外部駆動型ハーフブリッジ同期整流回路10を示す図である。回路10は、第1および第2の同期整流器Q3およびQ4を備え、変圧器T1の2次巻線12に接続されるとともに、それぞれ第1および第2のトームポール・ドライバ18および16に接続されている。トームポール・ドライバ16および18のスイッチQ5、Q6、Q7、Q8は、同期整流器Q3およびQ4として用いられるMOSFETよりも小さいMOSFETであることが好ましい。また、1次側スイッチQ1およびQ2は外部駆動回路14に接続されている。後述するように、第1および第2の同期整流器Q3およびQ4に対するタイミング信号は外部駆動回路14およびDCレベルシフタ21から得られる。外部駆動回路14は第2の変圧器T2を備える。この変圧器T2は1次巻線および2次巻線（それぞれ第1および第2の端子を備える）を有し、外部駆動回路14で生成されたタイミング信号をDCレベルシフタ21に転送する。2次巻線には第3の端子となるセンタータップが設けられている。

【0013】

外部駆動回路14はさらに、抵抗R1、R2とコンデンサC1、C2を備え、1次側スイッチQ1またはQ2がオンする前に、対応する同期整流器Q3またはQ4がオフすることが可能なような遅延を生じさせる。DCレベルシフタ21は、抵抗R3、R4とコンデンサC3、C4を備え、1次側スイッチQ1またはQ2がオフした後に、対応する同期整流器Q3またはQ4がオンすること可能とするのに必要な遅延を生じさせる。コンデンサC1に電荷が蓄積されると、1次側スイッチQ1がオンする。変圧器の1次側のドット端末点または第2の端子の電圧はハイレベル(hight)となる。コンデンサC4が第2の変圧器T2の第2の端子に接続されており、これによりコンデンサC4の電圧はHとなる。通常はこ

れでQ4がHとなるところであるが、ドライバ2は反転ドライバであるため、Q4のゲート電圧はQ4がオフとなるローレベル(Low)になる。このとき、R3およびC3の端子電圧はネガティブであり、反転したときにQ3がオンになる。Q1がオフになると、ゲート・変圧器は短絡する。C3およびC4の電圧は0となる。Q3およびQ4はオンとなる。その後、コンバータは、回路10により例示した従来技術の構成によって捕獲されるフリーホイール(freewheeling)状態となる。

【0010】

好適な実施形態の詳細な説明

以下、本発明の回路の構成および対応する方法について説明する。はじめに、

でQ4がHとなるところであるが、ドライバ2は反転ドライバであるため、Q4のゲート電圧はQ4がオフとなるローレベル(Low)になる。このとき、R3およびC3の端子電圧はネガティブであり、反転したときにQ3がオンになる。Q1がオフになると、ゲート・変圧器は短絡する。C3およびC4の電圧は0となる。Q3およびQ4はオンとなる。その後、コンバータは、回路10により例示した従来技術の構成によって捕獲されるフリーホイール(freewheeling)状態となる。

【0014】

従来の整流回路10においてオン/オフのスイッチングを確実に行うために同期整流器Q3、Q4に必要なタイミングをとる場合、これらの実現もは複雑度、コストの両面で問題がある。第2の変圧器T2の2次巻線のセンタータップは外部端子を要し、回路サイズの増大を招く。これは、コストの増加にもつながる。さらに、第1および第2の同期整流器Q3およびQ4に送るタイミング信号を反転する兼積回路ドライバ2は複雑度が高く、多くの構成要素を必要とし、それに伴い信頼性も低下する。そのためコストはさらに上昇することになる。本発明は簡略化された外部駆動回路の構成を提供し、回路複雑度およびコストを低減する。さらに、本発明は、複数のコンバータを並列接続することを容易にする構成を含む他の利点も提供する。

【0015】

とりわけ、本発明は、DCレベルシフタ21の構成を見直すことによって、従来の同期整流回路10に比べて複雑度を低減させ、かつコスト面の問題をも解消する。本発明のDCレベルシフタ21は、図2のハーフブリッジ同期整流回路20に示すように、第1および第2のスイッチ・ドライバ16および18を備える。スイッチ・ドライバ16、18は、同期整流器Q3、Q4に正確なタイミング信号を供給し、従来技術におけるドライバ2を不要にする。よって、同期整流回路20のコストおよびサイズが低減し、それに伴い回路20の信頼性が向上する。本発明によれば、スイッチ・ドライバ16、18の電圧の充放電により同期整流器Q3、Q4がオン/オフする。同期整流器Q3に直接接続されている第1のトームポール・ドライバ16に必要な信号を送信する第1のスイッチ・ドライバ22

【0016】

第1のスイッチ・ドライバ22は、第1のコンデンサC3を備える。このコンデンサC3は、同期整流器Q3のスイッチをオンするために正確なタイミングで放電される回路電流を蓄える。第1の抵抗R3は、第1のコンデンサC3を十分に放電又は流出(discharging or bleeding)することを容易にする。実際にはコンデンサを完全に放電することはできず、そのため、本発明で行われるように、コンデンサを放電するために抵抗が付加される。第1のダイオードD3は、第2の変圧器T2の2次巻線の第2の端子(2)での信号の振動に応じて電流を通過させる。第2のスイッチ・ドライバ24は、第2のコンデンサC4、第2の抵抗R4、第2のダイオードD4を有し、上記した第1のスイッチ・ドライバ22の第1のコンデンサ、第1の抵抗、第2のダイオードと同様に動作する。

【0017】

動作中、1次側のスイッチQ1がオンすると、第2の変圧器T2の2次巻線の端子(1)での電圧はハイレベルとなる。端子(2)は第1のダイオードD3によって接地される。第1のコンデンサC4に電荷が蓄積されると、同期整流器Q3はオンし、同期整流器Q4はオフする。1次側スイッチQ1がオフすると、端子(1)の電圧は0となる。この期間中に、第2のコンデンサC4は、短絡した巻線を通って同じ電圧に達するまで第1のコンデンサC3に放電される。第1のコンデンサC3および第2のコンデンサC4の電圧は、第2のコンデンサC4の

元の電圧の1/2の電圧に等しくなる。この電圧は同期整流器Q3およびQ4をオンさせるのに十分に高い。このときに、コンバータはフリーホール状態となる。

【0018】

この外部駆動回路21の別の利点は、外部駆動回路21を修正することなく、また、同期整流回路20の出力バスを短絡させることなく、複数のコンバータを並列接続することができることである。図1に示した従来の駆動回路は、Oリング・ダイオード(oring diode)なしに並列接続することはできない。さらに、従来技術では、並列接続されたコンバータが同時に動作を開始しない場合には、開始しないコンバータは出力バスを短絡することになる。コンバータが切り換わらない場合には、ドライバ2への双方の入力がLとなる。これは、ドライバ2の出力が両方ともハイレベルとなり、同期整流器Q3およびQ4の両方がオンしてバスが短絡する、という結果になる。

【0019】

本発明において複数のコンバータが並列接続され、コンバータが切り換わらない場合、外部駆動回路の第2の変圧器T2からの信号がなくなり、トーテムポール・ドライバ16, 18の両方がオフし、同期整流器Q3およびQ4の両方がオフすることになる。したがって、出力バスは短絡から保護される。本発明の共有回路の有効電流に伴い、並列接続されたコンバータは電流を均等に分配する。

【0020】

図3は、Q3, Q4のドレインおよびゲートの基本的な電圧波形を示している。ここで、 V_{DDP} は1次基準電圧、 N_s/N_p はゲート変圧器巻数比である。

【0021】

以上、ハーフブリッジ整流器に対する本発明の駆動回路の実施形態を示した。ただし、本発明はフルブリッジ型およびブッシュプル型でも実現可能である。図4は、フルブリッジ整流器26に対する本発明の駆動回路を示している。図5は、ブッシュプル整流器32に対する本発明の駆動回路を示している。外部駆動回路21はいずれの形態でも同じ構成のままであり、設計全体が簡略化され、使用する同期整流技術のコストが低減されていることが理解されよう。

本発明のブリッジ型同期整流DC-D Cコンバータの駆動回路を示す図である。

【図3】

同期整流器のドレン、ゲートの電圧波形を示す図である。

【図4】

本発明の外部駆動回路を用いたフルブリッジDC-D Cコンバータを示す図である。

【図5】

本発明の外部駆動回路を用いたブッシュプル・コンバータを示す図である。

【0022】

本発明は、1次変圧器、1対の1次スイッチ、第1および第2の同期整流器、外部駆動回路、および出力端子を備える同期整流回路に対する外部駆動回路を用いて、DC-DCコンバータの変動するDC信号を整流する方法も実現する。この方法は、変動するDC信号を外部駆動回路21に供給して、第1および第2の同期整流器Q3およびQ4にオン/オフのタイミングを出し、そのタイミング信号を外部駆動回路21に転送するステップを有する。本発明の外部駆動回路21は、同期整流器の両端の電圧のしあわせHを駆動して同期整流器Q3, Q4をオン/オフするために、適当なタイミングで放電される電流を蓄えるコンデンサC3, C4を用いて信号を処理することになる。そして、信号は、トーテムポール・ドライバ16, 18を経由して第1および第2の同期整流器Q3, Q4に供給される。

【0023】

この外部駆動回路の方法およびシステムは、同期整流器Q3, Q4をコスト面で効率よく駆動する利点を提供する。本発明の他の利点は、同期整流回路の物理的なサイズを小さくできることである。さらに本発明の別の利点は、複数のコンバータの並列接続を容易に実現できることである。

【0024】

以上図示した実施形態により本発明を説明したが、本発明をこれらの実施形態に限定されるように解釈されるべきではない。上述の説明を参照して、本発明の他の実施形態をはじめ、実施形態を組み合わせたさまざまな変形ができることは当業者には明らかであろう。同期整流器Q3, Q4、スイッチQ5, Q6, Q7, Q8は、MOSFETとして示したが、異なる型のFETやスイッチング・デバイスが本発明の使用に好適であることも考えられる。よって、請求の範囲はあらゆる変更または実施形態を包含することを意図するものである。

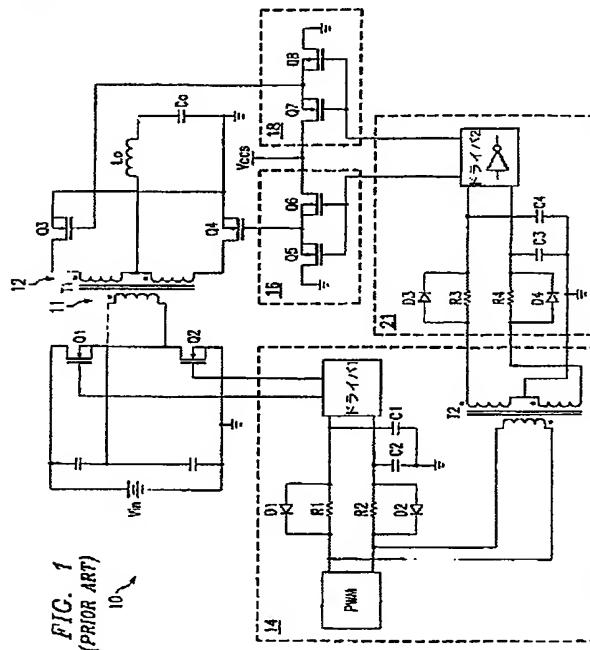
【図面の簡単な説明】

【図1】

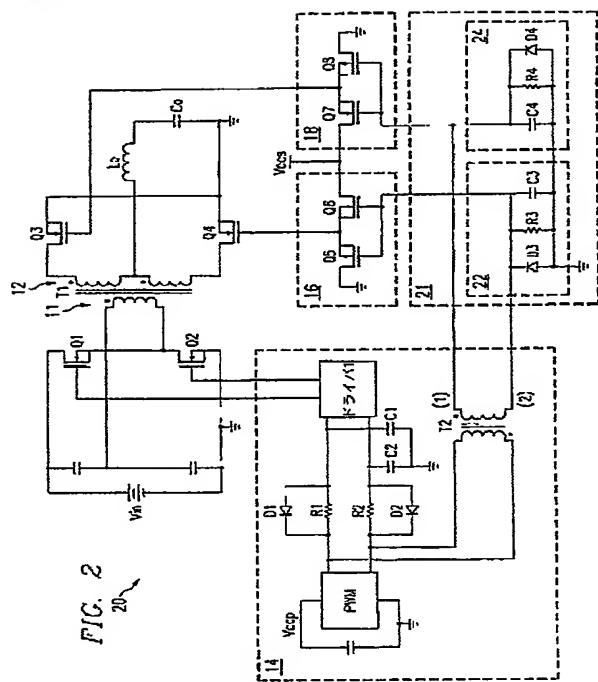
従来のブリッジ型同期整流DC-DCコンバータの駆動回路を示す図である。

【図2】

【図1】



【図2】

FIG. 2
26

【図3】

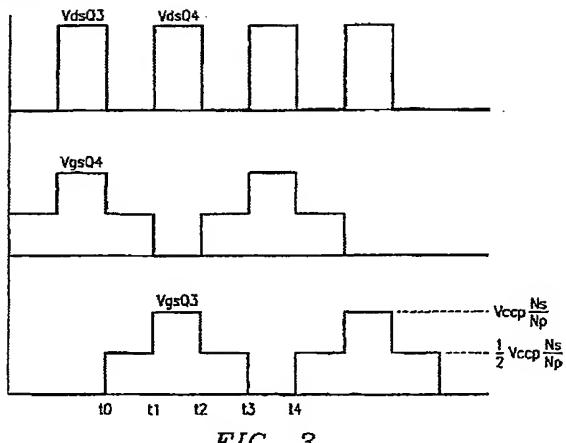
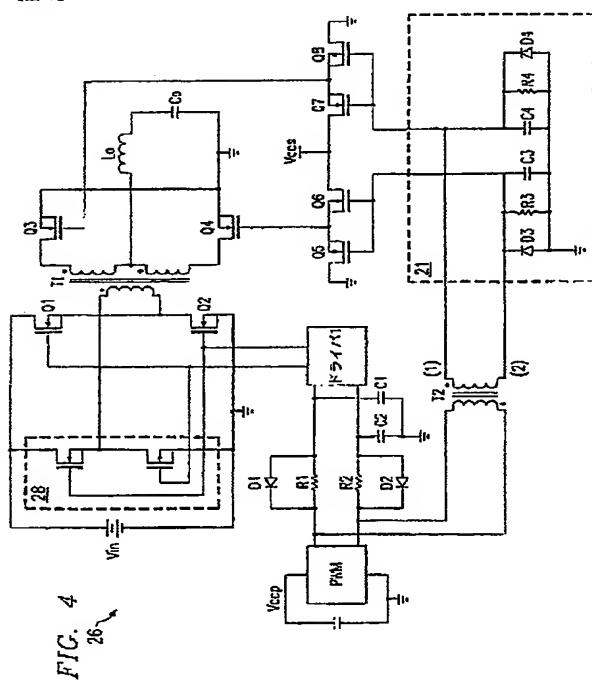
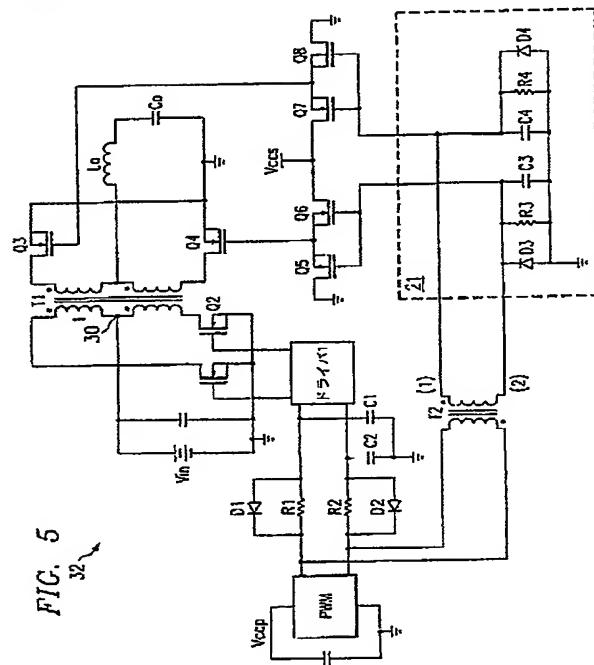


FIG. 3

【図4】

FIG. 4
26

【図5】

FIG. 5
32

特表2003-511004

【手続補正書】 特許協力条約第34条補正の翻訳文提出書

【提出日】 平成13年10月13日(2001.10.13)

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項1】 タイミング回路、並びに1次巻線と第1及び第2の端子(1、2)を含む2次巻線とを有する変圧器(T2)を含んでおり、前記タイミング回路が前記1次巻線に動作するよう接続されている、外部ドライバ(14)と、前記外部ドライバ(14)の前記変圧器(T2)の前記2次巻線の前記第1の端子及び第2の端子(1、2)にそれぞれ接続された第1のスイッチ・ドライバ及び第2のスイッチ・ドライバ(22、24)を含む、DCレベルシフタ(21)と、を備えており、

前記DCレベルシフタ(21)が第1のトーテムポール・ドライバ及び第2のトーテムポール・ドライバ(16、18)に接続されており、それにより第1の同期整流器及び第2の同期整流器(Q3、Q4)をオン、オフさせる前記タイミング信号が、前記DCレベルシフタ(21)から前記第1のトーテムポール・ドライバ及び第2のトーテムポール・ドライバ(16、18)を通って前記第1の同期整流器及び第2の同期整流器(Q3、Q4)に転送されることを特徴とする、ブリッジタイプのDC-DCコンバータ用の同期整流回路(20)。

【請求項2】 前記第1及び第2の同期整流器(Q3、Q4)がMOSFETであることを特徴とする請求項1に記載の同期整流回路(20)。

【請求項3】 前記第1のスイッチ・ドライバ(22)が、第1及び第2の端部を有し、回路電流の蓄電をもたらす第1のコンデンサ(C3)と、

前記第1のコンデンサ(C3)と並列に接続され、それにより前記第1のコンデンサ(C3)の静電容量が充分に放電される第1の抵抗(R3)と、

【請求項9】 前記第2のコンデンサ(C4)の前記第1の端部が前記外部回路の前記変圧器(T2)の前記第1の端子に接続され、それにより前記第2のコンデンサ(C4)が放電されて前記第1及び第2の同期整流器(Q4、Q3)がオンにされることを特徴とする請求項4に記載のDCレベルシフト回路(21)。

【請求項10】 前記第1のコンデンサ(C3)の前記第1の端部が前記外部回路の前記変圧器(T1)の前記第2の端子に接続され、それにより前記第1のコンデンサ(C3)が充電されて前記第1及び第2の同期整流器(Q3、Q4)がオンにされることを特徴とする請求項1に記載のDCレベルシフト回路(21)。

【請求項11】 ブリッジタイプの同期整流回路(20)用の駆動回路(21)であって、第1の同期整流回路及び第2の同期整流器(Q3、Q4)と、第1のトーテムポール・ドライバ及び第2のトーテムポール・ドライバ(16、18)と、を有しており、

前記第1のトーテムポール・ドライバ(16)に接続された第1のスイッチ・ドライバ(22)と、

前記第2のトーテムポール・ドライバ(18)に接続された第2のスイッチ・ドライバ(24)と、を備えており、

それにより前記第1の同期整流器及び第2の同期整流器(Q3、Q4)をオン、オフさせるタイミング信号が、前記第1のスイッチ・ドライバ及び第2のスイッチ・ドライバ(22、24)から前記第1のトーテムポール・ドライバ及び前記第2のトーテム・ポール・ドライバ(16、18)を通って前記第1及び第2の同期整流器(Q3、Q4)に転送されることを特徴とする駆動回路。

【請求項12】 第1及び第2の端部を有し、回路電流の蓄電をもたらす第1のコンデンサ(C3)と、

前記第1のコンデンサ(C3)と並列に接続され、それにより前記第1のコンデンサ(C3)の静電容量が充分に放電される第1の抵抗(R3)と、

変圧器(T2)の2次巻線に接続された第1のダイオード(D3)と、を備えており、

前記変圧器(T2)の前記2次巻線に接続された第1のダイオード(D3)と、を備えており、

それにより前記第1のスイッチ・ドライバ(22)が、前記第1の同期整流器(Q4)をオン、オフさせる適切なタイミングを提供することを特徴とする請求項1に記載のDCレベルシフト回路(21)。

【請求項4】 前記第2のスイッチ・ドライバ(24)が、

第1及び第2の端部を有し、回路電流の蓄電をもたらす第2のコンデンサ(C4)と、

前記第2のコンデンサ(C4)と並列に接続され、それにより前記第2のコンデンサ(C4)の静電容量が充分に放電される第2の抵抗(R4)と、

前記変圧器(T2)の前記2次巻線に接続された第2のダイオード(D4)と、を備えており、

それにより前記第2のスイッチ・ドライバ(24)が、前記第2の同期整流器(Q3)をオン、オフさせる適切なタイミングを提供することを特徴とする請求項1に記載のDCレベルシフト回路(21)。

【請求項5】 前記第1のトーテムポール・ドライバ(16)が、前記第1の同期整流器(Q4)のオン、オフを切り換える第1及び第2のスイッチ(Q5、Q6)を備えていることを特徴とする請求項1に記載の同期整流回路(20)。

【請求項6】 前記第2のトーテムポール・ドライバ(18)が、前記第2の同期整流器(Q3)のオン、オフを切り換える第3及び第4のスイッチ(Q7、Q8)を備えていることを特徴とする請求項1に記載の同期整流回路(20)。

【請求項7】 前記第1及び第2のスイッチ(Q5、Q6)がMOSFETであることを特徴とする請求項5に記載の第1のトーテムポール・ドライバ(16)。

【請求項8】 前記第3及び第4のスイッチ(Q7、Q8)がMOSFETであることを特徴とする請求項6に記載の第2のトーテムポール・ドライバ(18)。

それにより前記第1のスイッチ・ドライバ(22)が、前記第1の同期整流器(Q4)をオン、オフさせる適切なタイミングを提供することを特徴とする請求項1に記載の第1のスイッチ・ドライバ(22)。

【請求項13】 第1及び第2の端部を有し、回路電流の蓄電をもたらす第2のコンデンサ(C4)と、

前記第2のコンデンサ(C4)と並列に接続され、それにより前記第2のコンデンサ(C4)の静電容量が充分に放電される第2の抵抗(R4)と、

変圧器(T2)の2次巻線に接続された第2のダイオード(D4)と、を備えており、

それにより前記第2のスイッチ・ドライバ(24)が、前記第2の同期整流器(Q3)をオン、オフさせる適切なタイミングを提供することを特徴とする請求項1に記載の第2のスイッチ・ドライバ(24)。

【請求項14】 ブリッジタイプの同期整流回路用の駆動回路であって、第1及び第2の同期整流器と、1対のトーテムポール・ドライバと、1次巻線に動作するよう接続されたタイミング回路、並びに1次巻線と第1及び第2の端子を有する2次巻線とを有する変圧器を含む外部回路と、を有しており、

第1及び第2の端部を有し、回路電流の蓄電をもたらす第1のコンデンサと、前記第1のコンデンサと並列に接続され、それにより前記第1のコンデンサの静電容量が充分に放電される第1の抵抗と、前記変圧器の前記2次巻線に接続された第1のダイオードと、を有し、前記第1のトーテムポール・ドライバに接続された第1のスイッチ・ドライバと、

第1及び第2の端部を有し、回路電流の蓄電をもたらす第2のコンデンサと、前記第2のコンデンサと並列に接続され、それにより前記第2のコンデンサの静電容量が充分に放電される第2の抵抗と、前記変圧器の前記2次巻線に接続された第2のダイオードと、を有し、前記第2のトーテムポール・ドライバに接続された第2のスイッチ・ドライバと、を備えており、

それにより前記第1及び第2の同期整流器をオン、オフさせるタイミング信号が、前記第1及び第2のスイッチ・ドライバから前記トーテムポール・ドライバを通って前記第1及び第2の同期整流器に転送されることを特徴とする駆動回路。

【請求項15】 1次スイッチの第1の対（Q1）、及び前記1次スイッチの第1の対に接続され、それにより前記1次スイッチの第1の対（Q1）がオン、オフされる1次スイッチの第2の対（Q2）と、

前記1次スイッチの第1の対及び前記1次スイッチの第2の対（Q1、Q2）に動作するよう接続され、1次及び2次巻線を有する1次変圧器（T1）と、

タイミング回路、並びに1次巻線と第1及び第2の端子（1、2）を含む2次巻線とを有する変圧器（T2）を含んでおり、前記タイミング回路が前記1次巻線に動作するよう接続されている、外部ドライバ（14）と、

前記外部ドライバ（14）の前記2次巻線の前記第1及び第2の端子（1、2）にそれぞれ接続された第1のスイッチ・ドライバ及び第2のスイッチ・ドライバ（22、24）を含む、DCレベルシフタ（21）と、を備えており、

前記DCレベルシフタ（21）が第1のトームポール・ドライバ及び第2のトームポール・ドライバ（16、18）に接続されており、それにより前記第1の同期整流器及び第2の同期整流器（Q3、Q4）をオン、オフさせる前記タイミング信号が、前記DCレベルシフタ（21）から前記第1及び第2のトームポール・ドライバ（16、18）を通じて前記第1の同期整流器及び第2の同期整流器（Q3、Q4）に転送されることを特徴とする、フルブリッジDC-Dコンバータ用の同期整流回路（20）。

【請求項16】 前記1次スイッチの第1及び第2の対（Q1、Q2）がMOSFETであることを特徴とする請求項15に記載の同期整流回路（20）。

【請求項17】 前記1次変圧器（T1）の前記1次巻線が、

前記1次変圧器（T1）に接続された1次スイッチの対（Q3、Q4）と、センタータップと、

前記センタータップに接続された1次コンデンサ（C0）と、を備えており、それにより前記1次スイッチの対（Q3、Q4）が、ブッシュブル・トポロジーに適切なタイミングを導出することを特徴とする請求項15に記載の同期整流回路。

【請求項18】 前記1次スイッチの対（Q3、Q4）がMOSFETであ

ることを特徴とする請求項15に記載の同期整流回路（20）。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

同期整流回路を説明し、その後で、本発明の好適な実施形態を説明し、その利点について検討する。

フロントページの続き

(81) 指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, IT,
LU, MC, NL, PT, SE), OA(BF, BJ,
CF, CG, CI, CM, GA, GN, GW, ML,
MR, NE, SN, TD, TG), AP(GH, GM, KE,
LS, MW, MZ, SD, SL, SZ, TZ, UG,
, ZW), EA(AM, AZ, BY, KG, KZ, MD,
RU, TJ, TM), AE, AL, AM, AT, AU,
AZ, BA, BB, BG, BR, BY, CA, CH, CN,
CU, CZ, DE, DK, EE, ES, FI, GB,
, GD, GE, GH, GM, HR, HU, ID, IL,
IN, IS, JP, KE, KG, KP, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MD, MG,
, MK, MN, MW, MX, NO, NZ, PL, PT,
RO, RU, SD, SE, SG, SI, SK, SL, TJ,
TM, TR, TT, UA, UG, UZ, VN, YU
, ZA, ZW

(72) 発明者 ザング, ジュン

アメリカ合衆国 テキサス州 75040, ガ
ーランド, ヴァレー クリーク ドライ
ブ 1817

(72) 発明者 ハート, ウィリアム

アメリカ合衆国 テキサス州 75081,
プラノ, ルドヴィグ キャッスル ウエ
イ 7700

Fターム(参考) 5H006 CA04 CB07 CC02 CC08
5H730 AA14 AA15 BB25 BB26 BB27
BB57 DD04 EE03 EE08 EE13
EE19 FF18

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 00/24468A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H02M3/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A X	US 5 880 939 A (SARDAT PIERRE) 9 March 1999 (1999-03-09) the whole document -----	I-4, 11-16 19-22
A	US 5 907 481 A (SVAERDSJOE CLAES) 25 May 1999 (1999-05-25) the whole document -----	1-22

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may show doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *Z* document member of the same patent family

Date of the actual completion of the international search

14 December 2000

Date of mailing of the international search report

22/12/2000

Name and mailing address of the ISA

European Patent Office, P.O. 5018 Patentkantoor 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Thisse, S

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 00/24468

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5880939	A	09-03-1999	FR 2753317 A EP 0829949 A	13-03-1998 18-03-1998
US 5907481	A	25-05-1999	AU 9768398 A EP 1034612 A WO 9923747 A	24-05-1999 13-09-2000 14-05-1999

Form PCT/ISA/210 (Patent family search) (July 1992)